



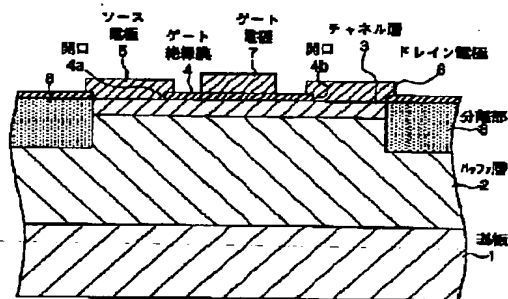
## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10223901 A**(43) Date of publication of application: **21 . 08 . 98**(51) Int. Cl. **H01L 29/78**(21) Application number: **09225077**(22) Date of filing: **21 . 08 . 97**(30) Priority: **04 . 12 . 96 JP 08324368**(71) Applicant: **SONY CORP**(72) Inventor: **KAWAI HIROHARU  
IMANAGA TOSHIHARU****(54) FIELD EFFECT TRANSISTOR AND  
MANUFACTURE OF THE SAME****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To provide a GaN(gallium nitride) based field effect transistor capable of handling larger input amplitude making use of a gate insulation film.

**SOLUTION:** A channel layer 3 and a gate insulation film 4 are laminated on a substrate 1 through a buffer layer 2 in order of precedence, and a gate electrode 7 is arranged on it. A source electrode 5 and a drain electrode 6 are on both sides of the gate electrode 7 and electrically connected to the channel layer 3 through the openings 4a and 4b. The channel layer 3 is composed of n-type GaN, and the gate insulation film 4 is composed of AlN(aluminum nitride). The AlN has a high Schottky barrier because of being superior to insulation and can handle a large input amplitude. This can also form an inversion layer in an enhancement mode and the same operation as Si-MOS(silicon metal oxide semiconductor) can be made.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-223901

(43) 公開日 平成10年(1998) 8月21日

(51) Int.Cl.<sup>8</sup>

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

3 0 1 B

3 0 1 H

審査請求 未請求 請求項の数17 O L (全 13 頁)

(21) 出願番号 特願平9-225077

(22) 出願日 平成 9 年(1997) 8月21日

(31) 優先権主張番号 特願平8-324368

(32) 優先日 平 8 (1996) 12月 4 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 河合 弘治

東京都品川区北品川 6 丁目 7 番 35 号 ソニ  
ー株式会社内

(72) 発明者 今永 俊治

東京都品川区北品川 6 丁目 7 番 35 号 ソニ  
ー株式会社内

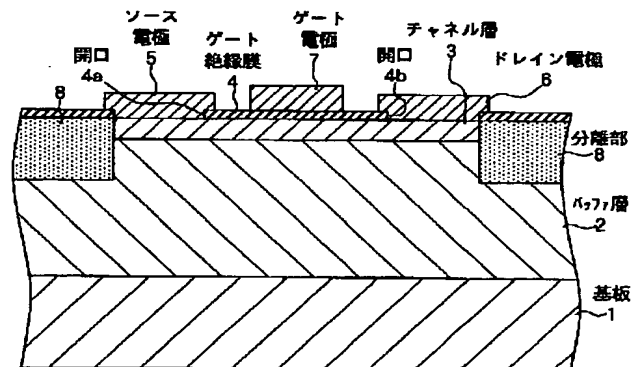
(74) 代理人 弁理士 藤島 洋一郎

(54) 【発明の名称】 電界効果型トランジスタおよびその製造方法

(57) 【要約】

【課題】 ゲート絶縁膜を用いることにより大きな入力振幅をとることができる G a N 系の電界効果トランジスタを提供する。

【解決手段】 基板 1 の上にバッファ層 2 を介してチャネル層 3 とゲート絶縁膜 4 が順次積層され、その上にゲート電極 7 が配設されている。ソース電極 5 とドレイン電極 6 は、ゲート電極 7 を挟むようにして開口 4 a、4 b を介してチャネル層 3 と電気的に接続されている。チャネル層 3 は n 型の G a N により構成され、ゲート絶縁膜 4 は A l N により構成されている。A l N は絶縁性に優れているのでショットキー障壁が大きくなり、大きな入力振幅をとることができる。また、エンハンスメントモードの場合においては反転層を形成することができ、S i -M O S と同じような動作をさせることができる。



## 【特許請求の範囲】

【請求項1】 ガリウム（Ga）、アルミニウム（Al）、ホウ素（B）およびインジウム（In）からなる群のうちの少なくとも1種のIII族元素と窒素（N）とを含むIII族ナイトライド化合物半導体によりチャネル層を形成してなる電界効果型トランジスタであって、  
ゲート電極とチャネル層との間にゲート絶縁膜を備えると共に、このゲート絶縁膜をIII族元素としてアルミニウムを少なくとも含むIII族ナイトライド化合物半導体により構成したことを特徴とする電界効果型トランジスタ。

【請求項2】 前記ゲート絶縁膜を、エピタキシャル成長させたIII族ナイトライド化合物半導体により構成したことを特徴とする請求項1記載の電界効果型トランジスタ。

【請求項3】 前記チャネル層を、エピタキシャル成長させたIII族ナイトライド化合物半導体により構成したことを特徴とする請求項2記載の電界効果型トランジスタ。

【請求項4】 前記ゲート絶縁膜を、 $Al_xGa_{1-x}N$ の化学式で表されかつ $0.3 < x \leq 1$ の範囲であるIII族ナイトライド化合物半導体により構成したことを特徴とする請求項1記載の電界効果型トランジスタ。

【請求項5】 前記ゲート絶縁膜の膜厚は、1nm以上50nm以下の範囲であることを特徴とする請求項1記載の電界効果型トランジスタ。

【請求項6】 前記チャネル層に対して前記ゲート絶縁膜の反対側にキャリア障壁層を備えたことを特徴とする請求項1記載の電界効果型トランジスタ。

【請求項7】 前記チャネル層はキャリア走行層とキャリア供給層とを備えると共に、このキャリア供給層は前記キャリア走行層の前記ゲート絶縁膜側およびその反対側の少なくとも一方に対して配設されたことを特徴とする請求項1記載の電界効果型トランジスタ。

【請求項8】 前記キャリア走行層はキャリアとして電子を有する電子走行層であり、前記キャリア供給層はキャリアとして電子を供給する電子供給層であることを特徴とする請求項7記載の電界効果型トランジスタ。

【請求項9】 前記電子走行層および電子供給層に対して前記ゲート絶縁膜の反対側にキャリア障壁層として電子障壁層を備えたことを特徴とする請求項8記載の電界効果型トランジスタ。

【請求項10】 前記電子走行層を、III族元素としてガリウムおよびインジウムのうちの少なくともガリウムを含むと共に、n型不純物が添加されたあるいはn型不純物およびp型不純物が添加されていないIII族ナイトライド化合物半導体により構成したことを特徴とする請求項8記載の電界効果型トランジスタ。

【請求項11】 前記電子供給層を、III族元素とし

てアルミニウムおよびガリウムのうちの少なくともガリウムを含むと共に、n型不純物が添加されたIII族ナイトライド化合物半導体により構成したことを特徴とする請求項8記載の電界効果型トランジスタ。

【請求項12】 前記電子障壁層を、III族元素としてアルミニウムおよびガリウムのうちの少なくともガリウムを含むと共に、前記電子供給層よりも抵抗が高いかあるいはp型不純物が添加されたIII族ナイトライド化合物半導体により構成したことを特徴とする請求項9記載の電界効果型トランジスタ。

【請求項13】 前記ゲート電極を、アルミニウム、金、チタン、白金、パラジウム、タングステン、モリブデンおよびニッケルからなる群のうちの少なくとも1種を含む金属により構成したことを特徴とする請求項1記載の電界効果型トランジスタ。

【請求項14】 前記ゲート電極の側面に、前記ゲート電極側の少なくとも一部において側壁を備えたことを特徴とする請求項1記載の電界効果型トランジスタ。

【請求項15】 前記ゲート電極は、前記側壁によりゲート絶縁膜との接触面積が縮小されていることを特徴とする請求項14記載の電界効果型トランジスタ。

【請求項16】 ガリウム（Ga）、アルミニウム（Al）、ホウ素（B）およびインジウム（In）からなる群のうちの少なくとも1種のIII族元素と窒素（N）とを含むIII族ナイトライド化合物半導体よりなるチャネル層の上に、ソース電極、ドレイン電極およびゲート絶縁膜を介してゲート電極を形成してなる電界効果型トランジスタの製造方法であって、  
チャネル層を形成したのち、その上にゲート絶縁膜の構成層を形成する構成層形成工程と、  
ゲート絶縁膜の構成層の上にゲート電極のダミーゲートを形成するダミーゲート形成工程と、  
ダミーゲートの側面に側壁を形成する側壁形成工程と、  
ダミーゲートと側壁とをマスクとしてゲート絶縁膜の構成層を選択的に除去し、ゲート絶縁膜を形成する工程とを含むことを特徴とする電界効果型トランジスタの製造方法。

【請求項17】 更に、ゲート絶縁膜を形成したのち、チャネル層の上にダミーゲートと側壁とを利用して選択的にコンタクト層を形成し、その上にソース電極とドレイン電極とを形成するソースドレイン電極形成工程を含むことを特徴とする請求項16記載の電界効果型トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ガリウム（Ga）、アルミニウム（Al）、ホウ素（B）およびインジウム（In）からなる群のうちの少なくとも1種のIII族元素と窒素（N）とを含むIII族ナイトライド化合物半導体によりチャネル層を形成してなる電界効果

10

20

30

40

50

型トランジスタおよびその製造方法に係り、特に、ゲート電極とチャネル層との間にゲート絶縁膜を備えてなる電界効果型トランジスタおよびその製造方法に関する。

#### 【0002】

【従来の技術】ⅢⅢ族ナイトライド化合物半導体であるガリウムナイトライド(GaN)はその禁制帯幅が3.4eVと大きく、間接遷移伝導帯は更にその上1.5eV以上のところにあると考えられている。また、GaNの飽和速度は約 $2.5 \times 10^7$  cm/sであり、他の半導体であるシリコン(Si)やガリウム砒素(GaAs)やシリコンカーバイド(SiC)に比べて大きい。更に、GaNの破壊電場は約 $5 \times 10^6$  V/cmと、SiやGaAsよりも一桁以上大きく、SiCよりも大きい。それゆえ、GaNは高周波、高温、大電力用半導体素子を構成する材料として大きな可能性を持つことが予想されてきた。

【0003】近年に至っては、GaNを用いた半導体素子の試作例も見られるようになった。このうち、トランジスタに関しては、GaAs系の電界効果型トランジスタ(Field Effect Transistor; FET)について開発された構成をそのまま適用したものが報告されている。

【0004】図16および図17は、GaNを用いた電界効果型トランジスタの従来例を表すものである。図16に示した電界効果型トランジスタは、いわゆるMES(Metal Semiconductor)構造のものであり、サファイア基板1の上に真性のGaNよりなるバッファ層2を介してn型のGaNよりなる動作層63が形成され、その上にゲート電極7、ソース電極5およびドレイン電極6がそれぞれ形成されている(M. A. Kahn, A. P. L., 62(15), 1786(1993))。図17に示した電界効果型トランジスタは、いわゆるHEMT(High Electron Mobility Transistor)構造のものであり、サファイア基板1の上に不純物を添加しないGaNよりなる電子走行層73bとn型のAlGaNよりなる電子供給層73aとが順次積層され、その上にゲート電極7が形成されると共に、電子走行層73bの上に電子供給層73aを挟むようにソース電極5とドレイン電極6がそれぞれ形成されている(M. A. Kahn, A. P. L., 65(9), 1121(1994))。

【0005】また、別の例では、HEMT構造においてAlGaNよりなる電子供給層の厚さを薄くすることにより、閾値ゲート電圧を0V付近としたものもある(M. A. Kahn, A. P. L., 68(4), 22(1996))。いわゆるエンハンスメントモードのものである。

#### 【0006】

【発明が解決しようとする課題】しかしながら、このようなMES構造やHEMT構造の電界効果型トランジスタでは、ゲート電極における金属と半導体とのショットキー障壁が1~1.2eV程度と比較的小さく、GaA

s系のショットキー障壁(0.7eV)よりは大きいものの、順方向ゲートバイアスを大きくとれないという問題があった。但し、これはGaNに関する材料特有の問題というより、MESという電界効果型トランジスタの動作方式に問題があった。

【0007】これに対し、Si系では、MOS(Metal-Oxide-Semiconductor)型(すなわちMIS(Metal-Insulator-Semiconductor)型)の電界効果型トランジスタが用いられている。この電界効果型トランジスタでは、Siの酸化物のシリコンオキサイド(SiO<sub>2</sub>)が良質の絶縁膜であることから、ゲート電極をゲート絶縁膜としてのSiO<sub>2</sub>膜を介してSi層の上に形成し、SiO<sub>2</sub>膜とSi層との界面における反転層をチャネルとして動作させている。そのため、Si系の電界効果型トランジスタでは入力振幅を大きくとることができる。

【0008】従って、GaN系の電界効果型トランジスタにおいても、SiO<sub>2</sub>並みの高い障壁をもち化学的に安定なゲート絶縁膜を用いることができれば、Si系と同じように大きな入力振幅をとることができるようになる。それにより、GaNにおいて特有の高耐圧性と相まって大きな出力が得られるようになる。

【0009】本発明はかかる問題点に鑑みてなされたもので、その目的は、化学的に安定したゲート絶縁膜を用いることにより、大きな入力振幅をとることができるGaN系の電界効果型トランジスタおよびその製造方法を提供することにある。

#### 【0010】

【課題を解決するための手段】本発明の電界効果型トランジスタは、ガリウム、アルミニウム、ホウ素およびインジウムからなる群のうちの少なくとも1種のⅢⅢ族元素と窒素とを含むⅢⅢ族ナイトライド化合物半導体によりチャネル層を形成してなるものであって、ゲート電極とチャネル層との間にゲート絶縁膜を備えると共に、このゲート絶縁膜をⅢⅢ族元素としてアルミニウムを少なくとも含む高抵抗のⅢⅢ族ナイトライド化合物半導体により構成したものである。

【0011】本発明の電界効果型トランジスタの製造方法は、ガリウム、アルミニウム、ホウ素およびインジウムからなる群のうちの少なくとも1種のⅢⅢ族元素と窒素とを含むⅢⅢ族ナイトライド化合物半導体よりなるチャネル層の上に、ソース電極、ドレイン電極およびゲート絶縁膜を介してゲート電極を形成してなるものであって、チャネル層を形成したのち、その上にゲート絶縁膜の構成層を形成する構成層形成工程と、ゲート絶縁膜の構成層の上にゲート電極のダミーゲートを形成するダミーゲート形成工程と、ダミーゲートの側面に側壁を形成する側壁形成工程と、ダミーゲートと側壁とをマスクとしてゲート絶縁膜の構成層を選択的に除去し、ゲート絶縁膜を形成する工程とを含むものである。

【0012】この電界効果型トランジスタでは、ゲート

電極に電圧を加えると、その電圧に応じてドレイン電流が増減する。ここで、ゲート電極とチャネル層との間にアルミニウムを少なくとも含む高抵抗のIII族ナイトライド化合物半導体よりなるゲート絶縁膜が挿入されているので、ゲート電極の絶縁障壁が高くなっており、ゲート電極に大きな電圧を加えることができる。また、ゲート絶縁膜の絶縁性が高いので、ゲート絶縁膜の厚さを薄くすることができ、相互コンダクタンス $g_m$ が大きくなり、動作が高速となる。

【0013】この電界効果型トランジスタの製造方法では、チャネル層の上にゲート電極の構成層を形成したのち、その上にダミーゲートを形成し、その側面に側壁を形成する。次いで、このダミーゲートと側壁とをマスクとしてゲート絶縁膜の構成層を選択的に除去し、ゲート絶縁膜を形成する。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0015】(第1の実施の形態)図1は本発明の第1の実施の形態に係る電界効果型トランジスタの構成を表すものである。この電界効果型トランジスタは、サファイアよりなる基板(例えばc面)1の上にバッファ層2を介してチャネル層3とゲート絶縁膜4が順次積層されている。このゲート絶縁膜4の上には、ゲート絶縁膜4の開口4aを介してチャネル層3と電気的に接続されたソース電極5と、ゲート絶縁膜4の開口4bを介してチャネル層3と電気的に接続されたドレイン電極6とが配設されている。ゲート絶縁膜4の上には、また、ソース電極5とドレイン電極6との間にゲート電極7が配設されている。ソース電極5、ドレイン電極6およびゲート電極7は、例えば基板1の側からチタン(Ti)、アルミニウム(Al)および金(Au)を順次積層して構成されている。

【0016】バッファ層2は例えば高抵抗の真性GaNにより構成されており、その厚さは例えば $2\mu\text{m}$ となっている。チャネル層3は例えばn型不純物としてSiを添加したn型GaNにより構成されており、その厚さは例えば $0.1\mu\text{m}$ となっている。その不純物濃度は、例えば $1 \times 10^{18} \text{cm}^{-3}$ である。なお、チャネル層3の不純物濃度と厚さをそれぞれ制御することにより、ゲート閾値電圧を適宜に調節することができる。すなわち、不純物濃度を高くすればノルマルオン(デプレッションモード; depletion mode)となり、不純物濃度を低くすればノルマルオフ(エンハンスメントモード; enhancement mode)となる。

【0017】例えば、チャネル層3の厚さが $0.1\mu\text{m}$ の場合、不純物濃度が $5 \times 10^{18} \text{cm}^{-3}$ 以下においてエンハンスメントモードとなる。よって、上記の不純物濃度 $1 \times 10^{18} \text{cm}^{-3}$ においてはデプレッションモードとなる。また、不純物濃度が $5 \times 10^{14} \text{cm}^{-3}$ 以下におい

ては、ゲート電極7に正の電圧を加えていくと、チャネル層3の中ではなく、ゲート絶縁膜4とチャネル層3との界面のチャネル層3側に電子が誘起されるいわゆるMOS動作のエンハンスメントモードとなる。

【0018】ゲート絶縁膜4は例えばアルミニウムナイトライド(AlN)により構成されており、その厚さは例えば $3\text{nm}$ となっている。なお、図2にAlNとGaNとの間および白金(Pt)とGaNとの間のバンド接続状態を示す。ここで、AlNとGaNとの間は直接遷移型バンド構造である。また、AlNとGaNとのバンド接続比( $\Delta E_c / \Delta E_v$ )は、GaAs系とほぼ同じと見積もって約0.7程度とした。更に、図2には、実験的に得られているGaNとPtとのショットキー障壁( $1.1\text{eV}$ ) (L. Wang, A. P. L., 68 (9), 1267 (1996))についても合わせて示した。これにより、AlNと金属とのショットキー障壁はまだ知られていないが、AlNとPtとのショットキー障壁は約 $3.1\text{eV}$ 程度であると推定される。この値は、GaNまたはGaN系HEMT素子のゲートショットキー障壁の大きさの約3倍であり、 $\text{SiO}_2$ と金属とのショットキー障壁の大きさと同等である。尚、ショットキー障壁とは、通常、電極金属の仕事関数と半導体の電子親和力との差をいうが、ここではAlNや $\text{SiO}_2$ などの絶縁体の電子親和力との差もショットキー障壁と便宜的に称している。

【0019】図3にゲート電極7の下における伝導帯のバンド概念図を示す。このように、本実施の形態に係る電界効果型トランジスタでは、ゲート絶縁膜4によりゲート電極の絶縁障壁が大きくなっている。また、図4にチャネル層3を真性GaNで構成した場合のゲート電極7の下における伝導帯のフラットバンド概念図を示す。この図から、チャネル層3を真性のあるいは不純物濃度が極めて低いGaNにより構成すれば、Si-MOSと同様に、ゲート電極7に正の電圧を加えることにより反転層を形成することができることが分かる。

【0020】なお、AlNの絶縁性に関しては過去に報告がなされている(A. Bykhovskii, J. Appl. Phys., 77 (4), 1616 (1995))。この文献においては、図5に示したように、サファイア基板11の上にAlN層12、真性のi-GaN層13、n型のn-GaN層14、AlN層15およびn型のn-GaN層16を順次積層し、n-GaN層14の上とn-GaN層16の上に電極17、18をそれぞれ形成したn-GaN/AlN/n-GaNダイオードを用いて実験を行っている。n-GaN層14の厚さは $1\mu\text{m}$ 、AlN層15の厚さは $3\text{nm}$ 、n-GaN層16の厚さは $0.4\mu\text{m}$ である。

【0021】図6にその結果を示す。このように電圧が $2\text{V}$ のときの電流比( $I/I_0$ )は $3 \times 10^5$ である。但し、 $I_0$ は $0.034\text{nA}$ 、デバイス(ダイオード)

面積は $31400\mu\text{m}^2$ である。従って、一般的なゲート面積である $100\mu\text{m}^2$ における電流値は約 $3.2 \times 10^{-6}\text{A}$ となり、ゲート絶縁膜4に用いる場合には $3\text{nm}$ の厚みで十分な性能を得られることが分かる。

【0022】この文献においては、AlN層15の厚さが $3\text{nm}$ よりも薄い場合の結果は報告されていないが、例えば、厚さが $1\text{nm}$ 程度のときの電流値が厚さ $3\text{nm}$ のときの $100$ 倍（すなわち $3 \times 10^{-6}\text{A}$ ）まで増加するとしても、ゲート絶縁膜4として十分に用いることができる。しかしながら、AlNの1原子層における厚さの変化が $0.3\text{nm}$ 程度であることから、AlNを $1\text{nm}$ よりも薄い厚さで広い面積に亘って均一に形成するのは難しいと考えられる。よって、ゲート絶縁膜4の厚さは $1\text{nm}$ 以上が好ましい。

【0023】なお、本実施の形態に係る電界効果型トランジスタは、ソース電極5およびドレイン電極6の周囲の領域におけるチャンネル層3からバッファ層2の一部にかけて、この電界効果型トランジスタを他の素子と分離するための分離部8が適宜形成されている。この分離部8には例えばヘリウム（He）イオンが注入されている。

【0024】このような構成を有する電界効果型トランジスタは、次のようにして製造することができる。

【0025】まず、例えば、サファイアよりなるc面の基板1を用意し、水素（ $\text{H}_2$ ）ガス雰囲気中において、 $1050^\circ\text{C}$ でクリーニングする。次いで、例えば、温度を $520^\circ\text{C}$ に下げ、MOCVD（Metal Organic Chemical Vapor Deposition）法により原料ガスを供給しつつ膜厚 $25\text{nm}$ のGaNの下地層（図示せず）を成長させる。そののち、例えば、温度を $1000^\circ\text{C}$ に上げ、MOCVD法により原料ガスを供給しつつバッファ層2、チャンネル層3、ゲート絶縁膜4をそれぞれ成長させる。なお、GaN下地層とは通常核形成層（nucleation layer）ともいわれ、GaN成長では公知の技術である。

【0026】ここで原料ガスには、例えば、ガリウムの原料としてトリメチルガリウム（ $\text{Ga}(\text{CH}_3)_3$ ; TMG）、アルミニウムの原料としてトリメチルアルミニウム（ $\text{Al}(\text{CH}_3)_3$ ; TMA）、窒素の原料としてアンモニア（ $\text{NH}_3$ ）およびn型の不純物の原料としてシラン（ $\text{SiH}_4$ ）をそれぞれ用いる。各ガスの流量は、例えば、TMGが $40\mu\text{mol}/\text{min}$ 、TMAが $10\mu\text{mol}/\text{min}$ 、アンモニアが $0.4\text{mol}/\text{min}$ およびシランが約 $0.01 \sim 0.1\mu\text{mol}/\text{min}$ である。また、原料ガスと共に、キャリアガスとして8リットル/minの水素ガスと8リットル/minの窒素（ $\text{N}_2$ ）ガスを流す。成長圧力は例えば $250\text{Torr}$ である。

【0027】続いて、分離部8の形成領域に例えばHeイオンを選択的に注入し、素子の分離を行う。素子の分

離を行ったのち、例えば反応性イオンエッチング（Reactive Ion Etching; RIE）法によりゲート絶縁膜4を選択的に除去して開口4a、4bを形成する。開口4a、4bを形成したのち、ソース、ゲートおよびドレインの各電極形成領域にそれぞれ同時に例えばチタン、アルミニウムおよび金を順次蒸着することにより、ソース電極5、ゲート電極7およびドレイン電極6をそれぞれ形成する。そののち、窒素ガス雰囲気中において、例えば $700^\circ\text{C}$ で1分間の熱処理を行い、ソース電極5およびドレイン電極6のコンタクト抵抗を低下させる。これにより図1に示した電界効果型トランジスタとなる。

【0028】以下、この電界効果型トランジスタの動作について説明する。

【0029】この電界効果型トランジスタでは、ここにおいてはデプレッションモードなので、ゲート電極7に負の電圧を加えるとチャンネル層3内に空乏層が形成され、ソース電極5とドレイン電極6との間に流れるドレイン電流が減る。このとき、ゲート絶縁膜4により絶縁障壁が高くなっているため、ゲート電極7に加えることができる電圧が大きくなり、その出力が大きくなる。また、AlNは絶縁性が高いので、ゲート絶縁膜4の厚さを薄くすることができ、ゲート電極7とチャンネル層3との距離が短くなると共に、AlNの比誘電率が約10と、 $\text{SiO}_2$ の4よりも大きいので、相互コンダクタンス $g_m$ が大きくなり、高速で動作する。

【0030】なお、エンハンスメントモードの場合には、ゲート電極7に正の電圧を加えるとチャンネル層3内に電子が誘起され、ソース電極5とドレイン電極6との間にドレイン電流が流れることを除き、デプレッションモードと同様である。また、チャンネル層3が真性または極めて不純物濃度が低いGaNにより構成されたエンハンスメントモードの場合には、ゲート電極7に正の電圧を加えるとチャンネル層3とゲート絶縁膜4との界面のチャンネル層3側内に電子が誘起され、反転層が形成されて、ソース電極5とドレイン電極6との間にドレイン電流が流れることを除き、デプレッションモードと同様である。

【0031】このように本実施の形態に係る電界効果型トランジスタによれば、AlNよりなるゲート絶縁膜4をゲート電極7とチャンネル層3との間に備えるようにしたので、化学的熱的に安定でかつ絶縁障壁が大きくなり、大きなゲート電圧を加えることができる。よって、大きな出力を得ることができる。また、エンハンスメントモードの場合においても十分にゲート電圧を加えることができ、反転層の形成というSi-MOSと同じような動作をさせることができる。更に、ゲート電極7を構成する材質選択の幅が広くなり、プロセスの自由度が大きくなる。

【0032】また、ゲート絶縁膜4を絶縁性の高いAlNにより構成するようにしたので、ゲート絶縁膜4の厚

さを薄くしても十分に絶縁することができると共に、A1Nは誘電率が高いので、相互コンダクタンス $g_m$ を大きくすることができ、高速で動作させることができる。

【0033】更に、ゲート絶縁膜4をMOCVD法により成長させた（すなわちエピタキシャル成長させた）A1Nにより構成するようにしたので、結晶性を高くすることができ、設計通りの絶縁性を得ることができる。加えて、チャンネル層3もMOCVD法により成長させたn型GaNにより構成するようにしたので、チャンネル層3と続けてゲート絶縁膜4を形成することができ、容易に製造することができる。

【0034】（第2の実施の形態）図7は本発明の第2の実施の形態に係る電界効果型トランジスタの構成を表すものである。この電界効果型トランジスタは、第1の実施の形態におけるチャンネル層3とバッファ層2との間にキャリア障壁層（ここでは電子障壁層9）を備えたことを除き、他は第1の実施の形態と同一の構成を有している。よって、同一の構成要素には同一の符号を付し、ここではその詳細な説明を省略する。

【0035】電子障壁層9は例えば高抵抗の真性Al<sub>1-x</sub>Ga<sub>x</sub>Nにより構成されており、その厚さは例えば0.05 $\mu$ mとなっている。このIII族元素の組成比は、例えば、アルミニウムが0.2でガリウムが0.8（すなわち $x=0.2$ ）である。また、チャンネル層3は、例えば、厚さが50nm、不純物濃度が $2 \times 10^{18}$ cm<sup>-3</sup>である。

【0036】図8にゲート電極7の下における伝導帯のバンド概念図を示す。このように、本実施の形態に係る電界効果型トランジスタでは、チャンネル層3をゲート絶縁膜4と電子障壁層9とで挟むことにより、電子がチャンネル層3にたまるようになっている。これにより、相互コンダクタンス $g_m$ の増大やショートチャネル効果の抑制を図ることができるようになっている。なお、これらは、チャンネル層3の厚さが薄い方がより高い効果を得ることができるので、本実施の形態においては、第1の実施の形態よりも更に厚さを薄くしている。

【0037】また、この電界効果型トランジスタは、第1の実施の形態と同様にして製造することができる。すなわち、例えば基板1の上に図示はしていないがGaN下地層を成長させたのち、例えばMOCVD法によりバッファ層2、電子障壁層9、チャンネル層3およびゲート絶縁膜4をそれぞれ成長させる。なお、電子障壁層9を成長させる際の条件は第1の実施の形態と同一である。

【0038】更に、この電界効果型トランジスタは次のように動作する。ここにおいてはデプレッションモードであるので、第1の実施の形態と同様に、ゲート電極7に負の電圧を加えるとドレイン電流が減る。このとき、チャンネル層3に対してゲート絶縁膜4の反対側に電子障壁層9が設けられかつチャンネル層3が薄くなっているので、相互コンダクタンス $g_m$ が大きくなり、高速で動作

する。また、ショートチャネル効果が抑制され、定電流領域が安定すると共に、ドレインソース耐圧が保持される。なお、これらはエンハンスメントモードの場合においても同様である。

【0039】このように本実施の形態に係る電界効果型トランジスタによれば、チャンネル層3に対してゲート絶縁膜4の反対側に電子障壁層9を設けると共にチャンネル層3の厚さを薄くするようにしたので、相互コンダクタンス $g_m$ を大きくすることができ、高速で動作させることができる。また、ショートチャネル効果を抑制することができ、定電流領域を安定して得ることができると共に、ドレインソース耐圧を保持することができる。更に、第1の実施の形態と同様にA1Nよりなるゲート絶縁膜4を備えているので、第1の実施の形態において説明した効果も有している。

【0040】（第3の実施の形態）図9は本発明の第3の実施の形態に係る電界効果型トランジスタの構成を表すものである。この電界効果型トランジスタは、第2の実施の形態におけるチャンネル層3に代えてチャンネル層23を備えたことを除き、他は第2の実施の形態と同一の構成を有している。よって、同一の構成要素には同一の符号を付し、ここではその詳細な説明を省略する。

【0041】チャンネル層23は、2層のキャリア供給層（ここでは電子供給層23a）の間にキャリア走行層（ここでは電子走行層23b）を挟んだ構成を有している。電子供給層23aは、例えば、厚さが3nmであり、n型不純物としてSiが添加されたn型GaNにより構成されている。不純物濃度は例えば $2 \times 10^{19}$ cm<sup>-3</sup>である。電子走行層23bは、例えば、厚さが10nmであり、n型不純物およびp型不純物が添加されていないGa<sub>1-y</sub>In<sub>y</sub>Nにより構成されている。このIII族元素の組成比は、例えばガリウムが0.8でインジウムが0.2（すなわち $y=0.2$ ）である。

【0042】図10にゲート電極7の下における伝導帯のバンド概念図を示す。このように、本実施の形態に係る電界効果型トランジスタでは、電子供給層23aと電子走行層23bとがヘテロ接合となっており、ヘテロ接合界面において電子供給層23a側が空乏化し電子走行層23b側に電子（二次元電子ガス）がたまるようになっている。この構造は、As系高出力トランジスタに採用されているPHEMT（pseudomorphic HEMT）に類似したものである。

【0043】この電界効果型トランジスタは、第1の実施の形態と同様にして製造することができる。すなわち、例えば基板1の上に図示はしていないがGaN下地層を成長させたのち、例えばMOCVD法によりバッファ層2、電子障壁層9、電子供給層23a、電子走行層23b、電子供給層23aおよびゲート絶縁膜4を順次成長させる。電子走行層23bを成長させる際には、インジウムの原料として例えばトリメチルインジウム（I

n (CH<sub>3</sub>)<sub>3</sub>; TMIn) を用いる。各ガスの流量は、例えば、TMGを5 μmol/min, TMInを40 μmol/minである。また、キャリアガスは窒素ガスのみを16リットル/min流す。成長温度は例えば800℃である。電子障壁層9, 電子走行層23b層を成長させる際の条件は第1の実施の形態と同一である。

【0044】この電界効果型トランジスタは次のように動作する。この電界効果型トランジスタでは、電子走行層23bに二次元電子ガスがたまっている。ゲート電極7に電圧を加えると、その電圧に応じて二次元電子ガスの濃度が増減し、ソース電極5とドレイン電極6との間に流れるドレイン電流が変化する。このとき電子供給層23aと電子走行層23bが分離されているので、電子は不純物による散乱を受けずに走行する。よって、電子の移動度が高くなり、高速で動作する。

【0045】このように本実施の形態に係る電界効果型トランジスタによれば、電子供給層23aと電子走行層23bとを備えるようにしたので、不純物による散乱を受けずに電子が走行することができる。よって、電子の移動度を高くすることができ、より高速で動作させることができる。また、第1の実施の形態と同様にAlNよりなるゲート絶縁膜4を備えているので、第1の実施の形態において説明した効果も有している。更に、第2の実施の形態と同様に電子障壁層9も備えているので、第2の実施の形態において説明した効果も有している。

【0046】(第4の実施の形態) 図11は本発明の第4の実施の形態に係る電界効果型トランジスタの構成を表すものである。この電界効果型トランジスタは、第3の実施の形態と同様に、基板1の上にバッファ層2を介して電子障壁層39およびチャネル層33が順次積層されており、チャネル層33の上にはソース電極5およびドレイン電極6がそれぞれ配設されると共に、その間にはゲート絶縁膜4を介してゲート電極7が配設されている。ここでは、電子障壁層39, チャネル層33の具体的構造およびソース電極5, ドレイン電極6, ゲート電極7のチャネル層33に対する電気的接続の構造が異なっていることを除き、他は第3の実施の形態と同一の構成を有している。よって、同一の構成要素には同一の符号を付し、ここではその詳細な説明については省略する。

【0047】電子障壁層39は、第3の実施の形態と同様に、例えば、厚さが0.05 μmであり、高抵抗の真性Al<sub>1-x</sub>Ga<sub>x</sub>Nにより構成されている。但し、III族元素の組成比は、例えばアルミニウムが0.3でガリウムが0.7 (すなわちx=0.3) である。

【0048】チャネル層33は、電子障壁層39の上に形成されたキャリア供給層(ここでは電子供給層33a)と、その上に形成されたキャリア走行層(ここでは電子供給層33b)とから構成されている。電子供給層

33aは、例えば、厚さが5 nmであり、n型不純物としてSiが添加されたn型Al<sub>1-x</sub>Ga<sub>x</sub>Nにより構成されている。III族元素の組成比は、例えばアルミニウムが0.15でガリウムが0.85 (すなわちx=0.15) である。また、不純物濃度は例えば1×10<sup>19</sup> cm<sup>-3</sup>である。電子走行層33bは、例えば、厚さが10 nmであり、n型不純物およびp型不純物が添加されていないGaNにより構成されている。

【0049】チャネル層33の上には、ゲート絶縁膜4に隣接してコンタクト層41が形成されており、その上にソース電極5とドレイン電極6とがそれぞれ形成されている。コンタクト層41は、例えば、厚さが0.3 μmであり、n型不純物としてSiが添加されたn型Ga<sub>1-y</sub>In<sub>y</sub>Nにより構成されている。III族元素の組成比は、例えばガリウムが0.85でインジウムが0.152 (すなわちy=0.15) である。不純物濃度は例えば5×10<sup>19</sup> cm<sup>-3</sup>である。

【0050】ゲート絶縁膜4の上には、絶縁性を有する側壁42と、この側壁42がゲート絶縁膜4近傍の側面に設けられたゲート電極7とが形成されている。側壁42は、例えば、幅が約0.2 μmであり、シリコンナイトライド(Si<sub>3</sub>N<sub>4</sub>)により構成されている。すなわち、本実施の形態の電界効果型トランジスタでは、ゲート電極7とソース電極5が接続されたコンタクト層41とが側壁42の極わずかな幅を隔てて近接して形成されており、ソース電極5とゲート電極7との間における抵抗(いわゆるソース抵抗)を小さくすることができるようになっている。また、ゲート電極7はゲート絶縁膜4との接触面積が側壁42により縮小されたいわゆるTゲート構造を有しており、ゲート電極7の抵抗(いわゆるゲート抵抗)を小さくすることができるようになっている。

【0051】コンタクト層41, ソース電極5およびドレイン電極6とゲート電極7との間には、それらの間の電気的絶縁を確保するための絶縁膜43が配設されている。絶縁膜43は、例えばポリイミドにより構成されている。

【0052】このような構成を有する電界効果型トランジスタは、次のようにして製造することができる。図12～図15はその各製造工程を表すものである。

【0053】まず、図12(a)に示したように、第1の実施の形態と同様に、例えば基板1の上に図示しないGaN下地層を成長させたのち、例えばMOCVD法によりバッファ層2, 電子障壁層39, 電子供給層33a, 電子走行層33bおよびゲート絶縁膜4を構成する構成層としてのAlNよりなるAlN層51を成長させる(チャネル層形成工程, 構成層形成工程)。なお、MOCVD法の条件は第1の実施の形態と同一である。

【0054】次いで、図12(b)に示したように、このAlN層51の上に、例えばCVD (Chemical Vapor



Deposition) 法によりシリコンオキサイド ( $\text{SiO}_2$ ) よりなる層を  $0.6 \mu\text{m}$  積層したのち、これをリソグラフィ技術を用いてエッチングにより選択的に除去し  $0.8 \mu\text{m}$  幅のダミーゲート 52 を形成する (ダミーゲート形成工程)。

【0055】続いて、同じく図 12 (b) に示したように、全面 (すなわちダミーゲート 52 および A1N 層 51 の上) に、例えばスパッタ法により  $\text{Si}_3\text{N}_4$  よりなる  $\text{Si}_3\text{N}_4$  層 53 を  $0.3 \mu\text{m}$  積層する。そののち、図 13 (a) に示したように、 $\text{Si}_3\text{N}_4$  層 53 を例えばテトラフルオロメタン ( $\text{CF}_4$ ) を含むガスを用いた RIE 法により除去し、ダミーゲート 52 の側面に側壁 42 を形成する (側壁形成工程)。

【0056】側壁を形成したのち、同じく図 13 (a) に示したように、ダミーゲート 52 および側壁 42 をエッチングマスクとして、A1N 層 51 を例えばアルカリ溶液を用いたウェットエッチングにより選択的に除去し、ゲート絶縁膜 4 を形成する (ゲート絶縁膜形成工程)。なお、A1N 層のアルカリ溶液を用いたエッチング技術は公知の技術であり (J.R. Mileham, Appl. Phys. Lett., 67 (1996) 1119.)、ここでは、例えば  $60^\circ\text{C}$  に加熱したアルカリ溶液中に 30 分間浸すことにより行う。

【0057】ゲート絶縁膜 4 を形成したのち、図 13 (b) に示したように、全面に例えば MOCVD 法によりコンタクト層 41 を成長させる。但し、ダミーゲート 52 および側壁 42 の上においてはエピタキシャル成長が起こらない。すなわち、ここでは、ダミーゲート 52 および側壁 42 を利用することにより、コンタクト層 41 をゲート絶縁膜 4 に隣接させて電子走行層 33b の上に選択的に形成する (コンタクト層形成工程)。

【0058】コンタクト層 41 を形成したのち、図 14 (a) に示したように、第 1 の実施の形態と同様にし、分離部 8 を形成する。そののち、コンタクト層 41 の上に、例えばリフトオフ法により選択的にチタン、アルミニウムおよび金を順次蒸着し、ソース電極 5 およびドレイン電極 6 をそれぞれ形成する。次いで、例えば、窒素ガス雰囲気中において約  $700^\circ\text{C}$  で 1 時間の熱処理を行い、ソース電極 5 およびドレイン電極 6 のコンタクト抵抗を低下させる (ソースドレイン電極形成工程)。

【0059】ソース電極 5 およびドレイン電極 6 を形成したのち、全面 (ソース電極 5、ドレイン電極 6、コンタクト層 41、側壁 42 およびダミーゲート 52 の上) にポリイミドよりなる膜を塗布形成したのち、例えば  $\text{CF}_4$  を含むガスを用いた RIE 法によりその一部を除去 (エッチバック) してダミーゲート 52 の表面を露出させ、絶縁膜 43 を形成する (絶縁膜形成工程)。

【0060】絶縁膜 43 を形成したのち、図 14 (b) に示したように、全面 (絶縁膜 43 およびダミーゲート 52 の上) にレジスト膜 54 を塗布形成し、ダミーゲート 52 が露出するようにダミーゲート 52 よりも大きな

幅の開口 54a を選択的に形成する。そののち、フッ化水素 (HF) を含むエッチング溶液を用いたウェットエッチングによりダミーゲート 52 を除去する。

【0061】ダミーゲート 52 を除去したのち、図 15 に示したように、全面 (ゲート絶縁膜 4、絶縁膜 43 およびレジスト膜 54 の上) に、チタン、アルミニウムおよび金を順次積層した金属膜 55 を形成する。そののち、レジスト膜 54 をその上の金属膜 55 と共に除去 (リフトオフ) してゲート電極 7 を形成する (ゲート電極形成工程) と共に、酸素 ( $\text{O}_2$ ) と  $\text{CF}_4$  とを含むガスをを用いたドライエングにより絶縁膜 43 を選択的に除去してソース電極 5 とドレイン電極 6 の一部をそれぞれ露出させる。これにより、図 11 に示した電界効果型トランジスタとなる。

【0062】このようにして形成された電界効果型トランジスタは、次のように動作する。この電界効果型トランジスタでは、ゲート電極 7 に電圧を加えると、電子走行層 33b における二次元電子ガスの濃度が増減し、ソース電極 5 とドレイン電極 6 との間に流れるドレイン電流が変化する。ここでは、ゲート電極 7 とソース電極 5 が接続されたコンタクト層 41 とが側壁 42 を隔てて近接して配設されているので、いわゆるソース抵抗が小さくなっている。

【0063】このように本実施の形態に係る電界効果型トランジスタによれば、ゲート電極 7 とソース電極 5 が接続されたコンタクト層 41 とを側壁 42 を隔てて近接して配設するようにしたので、いわゆるソース抵抗を小さくすることができる。なお、本実施の形態に係る電界効果型トランジスタは、第 1 の実施の形態と同様に A1N よりなるゲート絶縁膜 4 を備え、かつ第 2 の実施の形態と同様に電子障壁層 39 を備え、かつ第 3 の実施の形態と同様にチャネル層 33 を電子供給層 33a と電子走行層 33b とにより構成するようにしたので、第 1 ないし第 3 の実施の形態において説明した効果も有している。

【0064】また、本実施の形態に係る電界効果型トランジスタの製造方法によれば、ダミーゲート 52 および側壁 42 を利用してゲート絶縁膜 4 を形成するようにしたので、製造工程を簡素化することができ、容易に本実施の形態に係る電界効果型トランジスタを実現することができる。

【0065】以上、実施の形態を挙げて本発明を説明したが、本発明は上記各実施の形態に限定されるものではなく、種々の変形が可能である。例えば、上記各実施の形態においては、ゲート絶縁膜 4 を A1N により構成するようにしたが、III 族元素としてアルミニウムを少なくとも含む III 族ナイトライド化合物半導体であれば高い抵抗値を有しているので同様の効果を得ることができる。特に、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$  の化学式で表されかつ  $0.3 < x \leq 1$  である III 族ナイトライド化合物半導

体は抵抗が高く好ましい。なお、アルミニウムの組成比が大きくなると抵抗が高くなるので、最も好ましくはAlNである。

【0066】また、上記各実施の形態においては、ゲート電極7の材質をプロセスの簡単さからソース電極5およびドレイン電極6と同じものとしたが、他の材質により構成するようにしてもよい。その際、仕事関数の観点から最適なものを選択することもできる。例えば、ショットキー障壁を大きくしたい場合には仕事関数の大きな白金やパラジウム(Pd)やニッケル(Ni)などが適しており、自動車エンジン、原子力や化学プラント内又は宇宙環境など300℃を越える温度ではモリブデン(Mo)やタングステン(W)などが適している。

【0067】更に、上記各実施の形態においては、ゲート絶縁膜4の厚さを具体的に数値を挙げて説明したが、このゲート絶縁膜4の厚さは薄いほうが相互コンダクタンス $g_m$ を大きくすることができるので、50nm以下が好ましく、10nm以下が特に好ましい。また、第1の実施の形態において説明したように、ゲート絶縁膜4の均一性を確保するために、1nm以上が好ましい。

【0068】加えて、上記第3の実施の形態においては、電子供給層23a(すなわちキャリア供給層)を電子走行層23b(すなわちキャリア走行層)の両側に配設するようにしたが、いずれか一方のみでもよい。また、上記第4の実施の形態においては、電子供給層33a(すなわちキャリア供給層)を電子走行層33b(すなわちキャリア走行層)の基板1側に配設するようにしたが、両側あるいは基板1と反対側のみに配設するようにしてもよい。

【0069】更にまた、上記第3の実施の形態においては、電子走行層23bをn型不純物およびp型不純物を添加しないGaInNにより構成するようにしたが、n型不純物を添加したGaInNにより構成するようにしてもよく、n型不純物を添加したまたはn型不純物およびp型不純物を添加しないGaNにより構成するようにしてもよい。加えてまた、電子供給層23aをn型不純物を添加したGaNにより構成するようにしたが、n型不純物を添加したAlGaNにより構成するようにしてもよい。

【0070】同様に、上記第4の実施の形態においては、電子走行層33bをn型不純物およびp型不純物を添加しないGaNにより構成するようにしたが、n型不純物を添加したGaNにより構成するようにしてもよく、n型不純物を添加したまたはn型不純物およびp型不純物を添加しないGaInNにより構成するようにしてもよい。また、電子供給層33aをn型不純物を添加したAlGaNにより構成するようにしたが、n型不純物を添加したGaNにより構成するようにしてもよい。

【0071】更にまた、上記第2ないし第4の実施の形態においては、電子障壁層9、39を真性のAlGaN

により構成するようにしたが、III族元素としてアルミニウムおよびガリウムのうちの少なくともガリウムを含むと共に、電子供給層よりも抵抗が高いかあるいはp型不純物が添加されたIII族ナイトライド化合物半導体により構成するようにしてもよい。

【0072】加えてまた、本発明は、上記第3および第4の実施の形態において、電子供給層23a、33aと電子走行層23b、33bとの間に真性のGaNよりなるスペーサ層(厚みは例えば1nm)を挿入し、電子移動度を更に高めるようにしてもよい。

【0073】更にまた、上記第4の実施の形態においては、ダミーゲート52をSiO<sub>2</sub>により構成すると共に、ゲート電極7を形成するに先立ちこのダミーゲート52を除去するようにしたが、ダミーゲート52をタングステンやモリブデンなどの耐熱金属(例えば700℃以上での熱処理においても耐える金属)により構成し、これを除去することなくそのままゲート電極7の一部として用いるようにしてもよい。

【0074】加えてまた、上記各実施の形態においては、チャンネル層3をn型のIII族元素ナイトライド化合物半導体で構成するようにしたが、本発明は、p型のIII族元素ナイトライド化合物半導体で構成した場合についても適用することができる。

【0075】更にまた、上記各実施の形態においては、電子障壁層9、39、チャンネル層3、23、33、ゲート絶縁膜4およびコンタクト層4.1をMOCVD法によりそれぞれエピタキシャル成長させるようにしたが、分子線エピタキシー(Molecular Beam Epitaxy; MBE)法や有機金属分子線エピタキシー(Metal Organic Molecular Beam Epitaxy; MOME)法やその他のCVD法などの他の方法によりエピタキシャル成長させるようにしてもよい。

【0076】

【発明の効果】以上説明したように本発明の電界効果型トランジスタによれば、少なくともアルミニウムを含む高抵抗のIII族元素ナイトライド化合物半導体よりなるゲート絶縁膜を備えるようにしたので、ゲート電極の絶縁障壁が大きくなり、大きなゲート電圧を加えることができ、大きな出力を得ることができるという効果を奏する。また、エンハンスメントモードの場合においても十分にゲート電圧を加えることができるので、反転層の形成というSi-MOSと同じような動作をさせることができるという効果を奏する。更に、ゲート電極を構成する材質選択の幅が広くなり、プロセスの自由度が大きくなるという効果も奏する。加えて、ゲート絶縁膜の厚さを薄くすることができるので、相互コンダクタンス $g_m$ を大きくことができ、高速で動作させることができるという効果を奏する。

【0077】また、本発明の電界効果型トランジスタの製造方法によれば、ゲート酸化膜の構成層の上にダミー

ゲートと側壁とを形成すると共に、これらを利用してゲート絶縁膜4を形成するようにしたので、製造工程を簡素化することができ、容易にゲート電極の側面に側壁を設けた本発明の電界効果型トランジスタを実現することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る電界効果型トランジスタの構成を表す断面図である。

【図2】AlNとGaNとの間およびPtとGaNとの間のバンド接続状態を表す概念図である。

【図3】図1に示した電界効果型トランジスタのゲート電極下における伝導帯のバンド概念図である。

【図4】チャネル層を真性のGaNにより構成した場合のゲート電極下における伝導帯のフラットバンド概念図である。

【図5】AlNの絶縁性を調べる実験に用いられたn-GaN/AlN/n-GaNダイオードの構成を表す断面図である。

【図6】図5に示したダイオードにおける電圧と電流との関係を表す特性図である。

【図7】本発明の第2の実施の形態に係る電界効果型トランジスタの構成を表す断面図である。

【図8】図7に示した電界効果型トランジスタのゲート電極下における伝導帯のバンド概念図である。

【図9】本発明の第3の実施の形態に係る電界効果型トランジスタの構成を表す断面図である。

【図10】図9に示した電界効果型トランジスタのゲー

\*ト電極下における伝導帯のバンド概念図である。

【図11】本発明の第4の実施の形態に係る電界効果型トランジスタの構成を表す断面図である。

【図12】図11に示した電界効果型トランジスタの各製造工程を表す断面図である。

【図13】図12に続く各製造工程を表す断面図である。

【図14】図13に続く各製造工程を表す断面図である。

10 【図15】図14に続く各製造工程を表す断面図である。

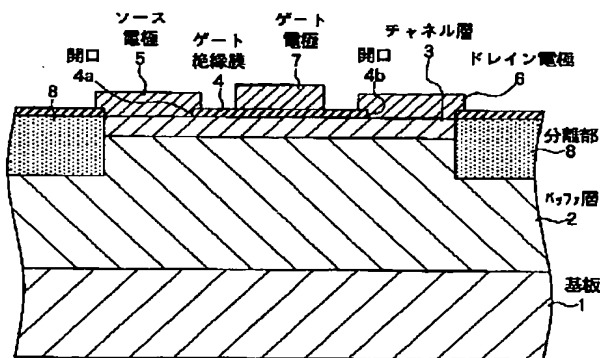
【図16】従来の電界効果型トランジスタの構成を表す断面図である。

【図17】従来の他の電界効果型トランジスタの構成を表す断面図である。

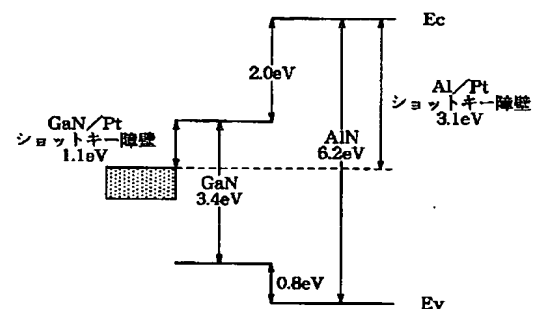
【符号の説明】

1, 11…基板、2…バッファ層、3, 23, 33…チャネル層、4…ゲート絶縁膜、4a, 4b…開口、5…ソース電極、6…ドレイン電極、7…ゲート電極、8…分離部、9, 39…電子障壁層（キャリア障壁層）、12, 15…AlN層、13…i-GaN層、14, 16…n-GaN層、23a, 33a, 73a…電子供給層（キャリア供給層）、23b, 33b, 73b…電子走行層（キャリア走行層）、41…コンタクト層、42…側壁、43…絶縁膜、51…AlN層（ゲート絶縁膜の構成層）、52…ダミーゲート、53…Si<sub>3</sub>N<sub>4</sub>層、54…レジスト膜、55…金属層、63…動作層

【図1】

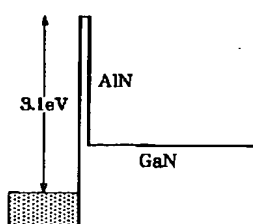


【図2】

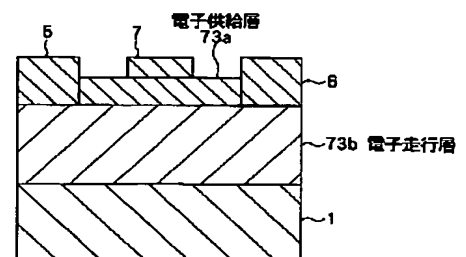
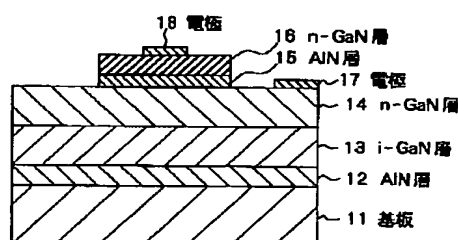


【図17】

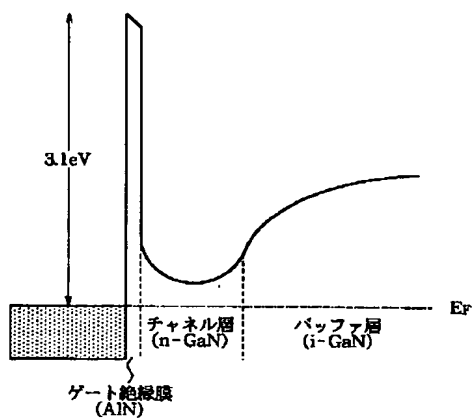
【図4】



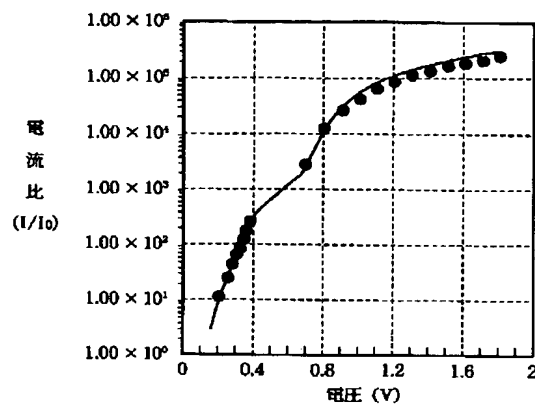
【図5】



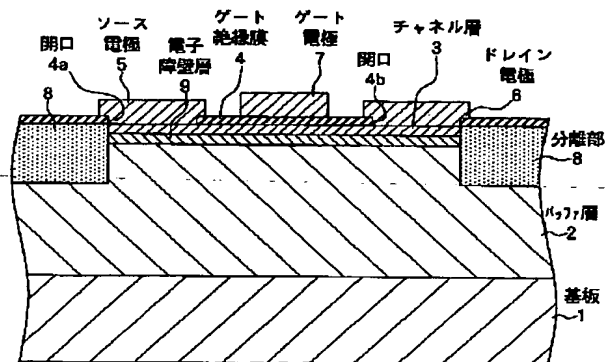
【図3】



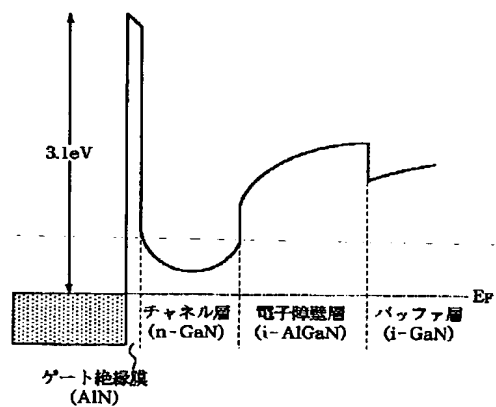
【図6】



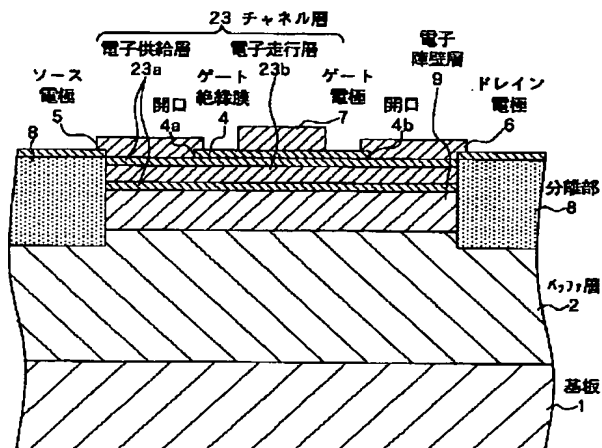
【図7】



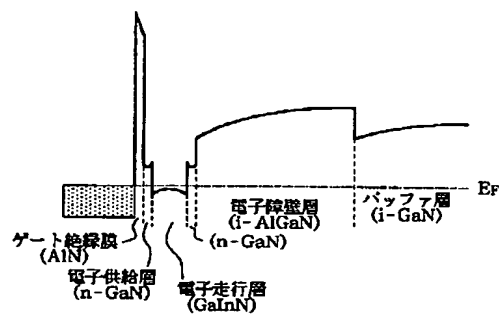
【図8】



【図9】

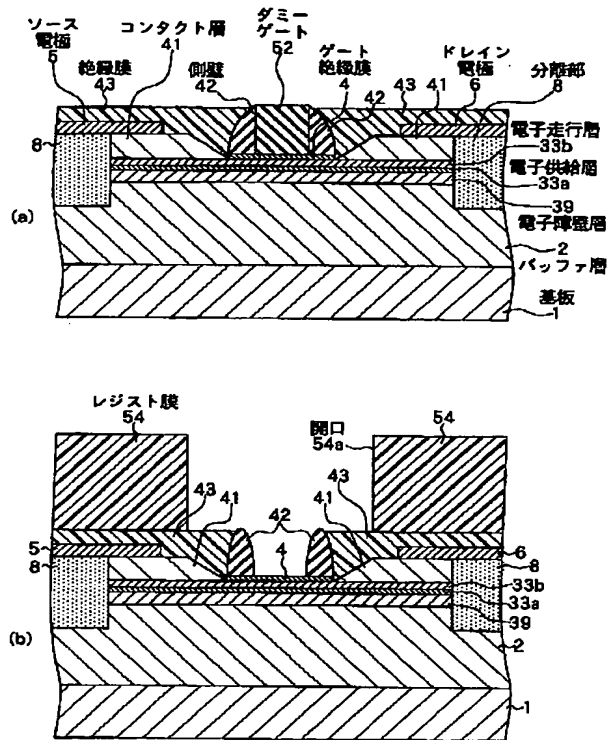


【図10】





【図14】



【図15】

